

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-107074

(43)Date of publication of application : 22.04.1997

(51)Int.Cl.

H01L 27/06  
H01L 23/60  
H01L 27/04  
H01L 21/822

(21)Application number : 08-182322

(71)Applicant : TEXAS INSTR INC <TI>

(22)Date of filing : 11.07.1996

(72)Inventor : AMERASEKERA E  
DUVVURY CHARVAKA

(30)Priority

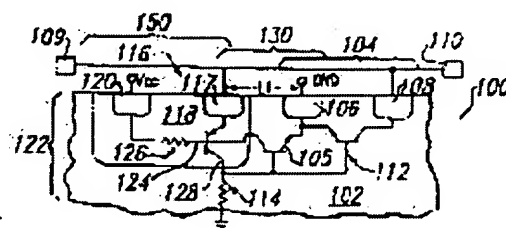
Priority number : 95 1054 Priority date : 11.07.1995 Priority country : US

## (54) INTEGRATED ELECTROSTATIC DISCHARGE PROTECTION CIRCUIT EMPLOYING SUBSTRATE TRIGGER LATERAL NPN TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To bias the emitter-base junction of a lateral NPN forward by providing a substrate bias circuit for triggering a lateral NPN transistor.

SOLUTION: A lateral NPN transistor 104 is arranged in a substrate layer 102. The lateral NPN transistor 104 has two N type diffusion regions 106, 108 as emitter and collector, respectively, and the base 112 is connected with the earth through the substrate 102 and an associated resistor 114. A substrate bias circuit 150 may be any circuit so long as the voltage across the substrate resistor 114 is increased during occurrence of ESD phenomenon. This circuit increases the base voltage of a lateral NPN transistor 104 to bias the emitter-base junction forward thus triggering the lateral NPN transistor 104. The NPN transistor 104 clamps the voltage of a pad 110 at 5-7V and dissipates the ESD current to protect the internal circuit 109.



## LEGAL STATUS

[Date of request for examination] 21.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平9-107074

(43)公開日 平成9年(1997)4月22日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 27/06			H 0 1 L 27/06	1 0 1 P
23/60			23/56	B
27/04			27/04	H
21/822			27/06	3 1 1 C
				3 1 1 A
審査請求 未請求 請求項の数2 O L (全 9 頁)				

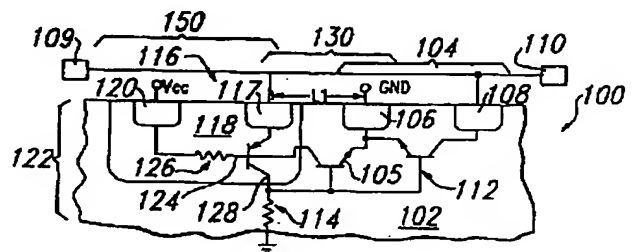
(21)出願番号	特願平8-182322	(71)出願人	590000879 テキサス インストルメンツ インコーポ レイテッド アメリカ合衆国テキサス州ダラス, ノース セントラルエクスプレスウェイ 13500
(22)出願日	平成8年(1996)7月11日	(72)発明者	エカナヤケ アジス アメラセケラ アメリカ合衆国テキサス州ブラノ, レイク クレスト レーン 1800
(31)優先権主張番号	001054	(72)発明者	シャルバカ ドゥブリィ アメリカ合衆国テキサス州ブラノ, キャン ズ ドライブ 2045
(32)優先日	1995年7月11日	(74)代理人	弁理士 浅村 皓 (外3名)
(33)優先権主張国	米国(US)		

(54) 【発明の名称】 基板トリガ横形NPNトランジスタを用いた集積化された静電気放電保護回路

(57) 【要約】

【課題】 内部回路が損傷を受けないためのESD保護回路とその保護のための方法を提供する。

【解決手段】 横形NPNトランジスタがI/Oパッドとアースとの間に接続される。ESD現象が起きている間、基板を通して電流が流れることにより、基板バイアス回路は基板抵抗器の両端の電圧を増大させる。このことにより横形NPNがトリガされ、そしてパッドの電圧がクランプされ、そしてESD電流が散逸する。横形NPNは、ESD電流を散逸するための主要な保護装置である。



## 1

## 【特許請求の範囲】

【請求項1】 基板がベースとして動作する横形NPNトランジスタと、

静電気放電（ESD）現象が起きている間基板抵抗器の両端の電圧の増大により前記横形NPNトランジスタをトリガするための基板バイアス回路と、を有する、基板の中に作成されたESD保護回路。

【請求項2】 固有の垂直形PNPトランジスタを備えた少なくとも1個のPNダイオードを入力／出力パッドに接続する段階と、

少なくとも1個の横形NPNトランジスタを低電源電圧および前記入力／出力パッドに接続する段階であって、ここで基板が前記少なくとも1個の横形NPNトランジスタのベースおよび前記固有の垂直形PNPトランジスタのコレクタを形成する、前記段階と、

前記少なくとも1個のNPNトランジスタの前記ベースの電圧レベルを増大するために、前記固有の垂直形PNPトランジスタを通してESD電流を流す段階と、

前記少なくとも1個のNPNトランジスタの前記ベースの前記電圧レベルがベース・エミッタ順方向バイアス電圧に到達する時、前記少なくとも1個のNPNトランジスタをトリガする段階と、を有する、入力／出力パッドにおける内部電流のESD保護の方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、全体的に言えば、半導体装置およびその処理工程に関する。さらに詳細に言えば、本発明はCMOS集積回路におけるESD保護に関する。

## 【0002】

【発明が解決しようとする課題】集積回路（IC）がますます複雑になりそして高密度になっているので、公称電源電圧は低下している。昔は公称電源電圧は5V領域であったが、その後3.3V領域になり、現在のIC技術の状態では公称電源電圧は約2.5Vになっている。けれども、これらのICは、公称電源電圧が3.3Vであった昔のIC用に設計された装置で動作しなければならない。したがって、現在のICは、入力／出力（I/O）ピンに3.3Vを加えても、過剰な漏洩または永久的な損傷を起こさないことが期待される。けれども、新しいICには60オングストロームの程度のゲート酸化物が用いられるから、時間依存誘電体ブレイクダウン解析に基づいて、ゲート酸化物損耗に関する信頼性の問題点が存在する。さらに、ICはパワー・アップ・シーケンスに無関係であると期待される、すなわち、電源電圧が0Vである時、永久的な損傷または過剰な酸化物ストレスを生ずることなく、ICはI/Oピンに3.6ボルトを許容できることが必要である。

【0003】これらの要請は、静電気放電（ESD）保護回路設計に大きな制限を加える。ゲート酸化物は、I

## 2

／Oパッドとアースとの間に直接に接続することはできない。したがって、ゲート結合NMOSTランジスタや、低電圧トリガSCR（シリコン制御整流器）、ゲート結合SCRのような典型的なESD保護回路は、従来のように用いることができない。変更された横形SCR（MLSCR）において、I/Oピンに接続された内部回路とアースとの間にゲート酸化物を直接に接続することを回避するための1つの先行技術が、図1に示されている。MLSCR12は、I/Oピン14とアースGNDとの間に接続される。不幸なことに、MLSCRのトリガ電圧（約20V）は、ゲート付ダイオード接合のブレイクダウン電圧（典型的には8Vと10Vとの間にある）またはゲート酸化物ブレイクダウン電圧（典型的には約12V～15V）よりも高い。したがって、内部回路16が損傷を受ける前に、MLSCR12の陽極の電圧がSCRトリガのレベルに到達できるためには、直列抵抗器Rが必要である。

【0004】I/Oピンに接続された内部回路とアースとの間にゲート酸化物を直接に接続することを回避するまた別の保護回路が、図2に示されている。第1ダイオード20がI/Oピン14と電源電圧V<sub>CC</sub>との間に接続され、そして第2ダイオード22がI/Oピン14とアースとの間に接続される。けれども、この回路はサブミクロン装置の中では制限を受ける。逆方向にバイアスされたN+/Pダイオードの電圧クランピング特性が1つの制限である。アバランシェ・ブレイクダウンにおいて逆方向にバイアスされたダイオードのオン抵抗値は、25オームよりも大きい。このことは、大電流クランピング特性を制限する。したがって、内部回路とアースとの間にゲート酸化物を接続することを回避することができる改良された保護回路が要請されている。

## 【0005】

【課題を解決するための手段】集積回路のためのESD保護回路および保護のための方法が開示される。横形NPNトランジスタが、I/Oパッドとアースとの間に接続される。ESD現象が起きている間、基板抵抗器を通して電流が流れるようにする基板バイアス回路が得られる。このために基板抵抗器の両端の電圧が増大し、そして横形NPNのエミッタ・ベース接合を順方向にバイアスし、したがって横形NPNをトリガする。この横形NPNは、ESD電流を散逸するための主要な保護装置である。

【0006】本発明の1つの利点は、サブミクロンの薄い酸化物のCMOS処理工程における多重電圧印加に対し、改良されたESD保護が得られることである。

【0007】本発明のまた別の利点は、サブミクロンの薄い酸化物のCMOS処理工程において、パワー・アップ・シーケンスに無関係である多重電圧印加に対し、改良されたESD保護が得られることである。

【0008】本発明のさらに別の利点は、サブミクロン

## 3

の薄い酸化物のCMOS処理工程において、要求される領域が小さくて済む改良されたESD保護が得られることである。

## 【0009】

【発明の実施の形態】前記で説明した利点およびその他の利点は、添付図面を参照しての下記説明により、当業者にはすぐに理解されるであろう。

【0010】異なる図面においても対応する番号および記号は、特に断らない限り、対応する部品を表す。

【0011】図3は、本発明によるESD保護装置100の図である。基板層102の中に、横形NPNトランジスタ104が配置される。基板層102は、例えば、P+形基板の上のP形エピタキシャル層であることができる。横形NPN104は、2個のN形拡散領域106、108を、それぞれ、エミッタおよびコレクタとして有する。拡散領域106および108は、設計規則により許容される最小間隔だけ、例えば0.7ミクロン程度の距離だけ、分離されることが好ましい。拡散領域106（エミッタ）はアースに接続され、そして拡散領域108（コレクタ）はI/Oパッド110に接続される。ベース112は、基板102とそれに付随する抵抗器114を通して、アースに接続される。

【0012】基板バイアス回路150は、ESD現象が起きている間、基板抵抗器114の両端の電圧を増大させる回路であれば任意の回路であることができる。したがって、この回路は横形NPN104のベースの電圧を増大させてエミッタ・ベース接合を順方向にバイアスし、そしてNPNトランジスタ104をトリガする。NPNトランジスタ104はパッド110の電圧を5~7ボルトの程度の電圧にクランプし、そしてESD電流を散逸させる。このようにして、内部回路109が保護される。

【0013】図3に示された実施例の基板バイアス回路150は、ダイオード116を有する。ダイオード116は、N形ウエル118の中にP形拡散領域117を備えている。P形拡散領域117は、I/Oパッド110に接続される。電源電圧V<sub>CC</sub>が、N形拡散領域120を通して、N形ウエル117に接続される。したがって、ダイオード116は、固有の垂直形PNPトランジスタ122を有する。垂直形PNPトランジスタ122は分散したエレメントではなく、N形ウエル118の中のダイオード116に自動的に組み込まれる。P形拡散領域117は固有の垂直形PNPトランジスタ122のエミッタを構成し、そしてベース124は、N形ウエル118の抵抗器126とN形拡散領域120を通して、電源電圧V<sub>CC</sub>に接続される。コレクタ128は、基板抵抗器114を通して、アースに接続される。本発明の1つの利点は、CMOS処理工程に対して、マスク段階を付加することなしに応用できることである。本明細書を参照すれば、また別の基板バイアス回路が可能であること

## 4

は当業者にはすぐに理解されるであろう。

【0014】次に、ESD状態の下での前記の回路の動作を説明する。動作の第1段階では、I/Oパッド110の電圧が垂直形PNP122のターンオン電圧に到達する。この電圧は0.8Vの程度であることができる。すると、ESD電流が垂直形PNP122を通して流れ始める。このために基板抵抗器114の両端の電圧が増大し、したがって、横形NPN104のベースの電圧が増加する。動作の第2段階では、横形NPN104のベースの電圧が最終的に増大しエミッタ・ベース接合が順方向に十分にバイアスされ、そしてNPNトランジスタ104がトリガされる。横形NPN104のクランピング電圧は、横形フィールド酸化物MOS装置のスナップバック電圧（すなわち、5~7Vの程度の電圧）と同じである。この時点において、大部分の電流は横形NPNトランジスタ104を通して散逸する。動作の最後の段階では、N形拡散領域106と、基板102と、N形ウエル118と、P形拡散領域117とで形成される固有のSCR130がトリガ作用を行い、第2電圧のクランピングが得られる。SCR130の陽極（P形拡散領域117）と陰極（N形拡散領域106）との間の距離L1は、SCR130のホールド電圧を決定する。このホールド電圧はバーンイン電圧よりも大きいことが好ましく、そして進歩したCMOS処理工程において約4Vの促進信頼性検査のために好ましい。バーンイン電圧は、例えば、4.5Vの程度であることができる。SCR130はまた、垂直形PNPの作用でトリガされる。P形基板102を流れるコレクタ電流は、基板102に対する陰極（N形拡散領域106）の接合を順方向にバイアスすることにより横形NPN105をトリガすることが可能であり、そして次にSCR130をトリガすることが可能である。SCR130がいったんトリガされると、4Vより大きい電圧にクランプされるようにSCR130が設計されることが好ましい。

【0015】本発明によるESD保護装置100は薄いゲート酸化物を有しないので、多重電圧動作に付随して生ずるゲート酸化物の完全性に関する問題点は存在しない。I/Oパッド110における電圧が電源電圧V<sub>CC</sub>に対して設計された電圧よりも大きい時、多重電圧動作が起こる。例えば、2.5V動作に対して装置が製造されるが、しかし動作の際には、0Vから3.3Vまでの範囲のI/O信号を受け取る。電源電圧V<sub>CC</sub>よりも大きい電圧をI/Oパッド110が受け取る（すなわち、2.5V装置で3.3Vを受け取る）ことは、保護装置100に対しストレスを与えない。さらに、ESD保護装置100は、パワーアップ・シーケンスとは無関係である。すなわち、電源電圧V<sub>CC</sub>が0Vのままである間、大きな信号（すなわち、3.3Vの信号）がI/Oパッド110に加えられる時、装置100はストレスを受けない。

【0016】本発明のこの好ましい実施例では、 $V_{CC}$ より大きな入力電圧に対し、パッドにおけるクランピング電圧を増大させるために、ダイオード116は実際には、図4に示されたようなダイオード・ストリング132を有する。ダイオード・ストリング132は、I/Oパッド110と電源電圧 $V_{CC}$ との間に接続される。PNダイオード134は横形のエレメントであって、そこでは大部分の電流は横方向に流れる。けれども、図5に示されそして前記で説明されたように、横形PNダイオードは実際には垂直形PNPトランジスタ122のエミッタ・ベース接合を形成し、その場合にはP形基板102はコレクタとして動作する。このことにより、図5に示されているように、多重段PNPダーリントン回路142が構成される。図5に示された回路は、4個の固有の垂直形PNPトランジスタT1～T4を備えた4段PNPダーリントン回路142である。ダーリントン回路142のエミッタはI/Oパッド110に接続され、そしてコレクタは基板102であり、そしてベースが電源電圧 $V_{CC}$ に接続される。

【0017】ダーリントン回路の両端の全電圧を支配する方程式は、利得 $\beta$ と、図5に示されているようにそれぞれのPNPトランジスタのベース・エミッタ接合の両端の順方向電圧降下 $V_D$ とを考慮することにより、容易に決定される。

【0018】第1トランジスタT1の電流 $I_1$ は次の式により与えられる。

【0019】

【数1】

$$I_1 = I_0 \exp \left( \frac{q V_{D1}}{k T} \right)$$

【0020】ここで、 $I_0$ はP+/N接合の飽和電流、 $V_{D1}$ はベース・エミッタ接合の両端の電圧降下である。同様に、第2トランジスタT2の電流 $I_2$ は次の式により与えられる。

【0021】

【数2】

$$I_2 = I_0 \exp \left( \frac{q V_{D2}}{k T} \right)$$

【0022】 $\Delta V = (V_{D1} - V_{D2})$ とおくならば、次の式が得られる。

【0023】

【数3】

$$\frac{I_1}{I_2} = \exp \left( \frac{q \Delta V}{k T} \right)$$

【0024】すなわち、 $I_1 = (1 + \beta) I_2$ であるから、次の式が得られる。

【0025】

【数4】

$$\Delta V = \frac{k T}{q} \ln (1 + \beta) \left( \frac{I_2}{I_2} \right)$$

【0026】したがって、 $n$ 個のトランジスタのストリングの場合、次の式を得ることができる。

【0027】

【数5】

$$V_{IN} = n V_{D1} - \frac{n(n-1)}{2} \frac{k T}{q} \ln (1 + \beta)$$

【0028】この方程式は、 $n \leq V_A / [k T \ln (I_1 / I_0)]$ の場合、すなわち $V_{D1} = V_A / n$ の場合、に正しい。単純化された解析に対するこの方程式において、 $\beta$ は電流に無関係であると仮定されていることに注意しなければならない。

【0029】垂直形PNPの $\beta$ のために、それぞれのダイオードの両端の電圧降下は等しくなく、そして一定の $n$ を越えるとすべてのダイオード電流はなくなるであろうことを、この方程式は示している。直列に接続して良好に動作することができるダイオードの最大数は、PNPの $\beta$ により決定される。 $V_{D1} = 0.6$  Vと仮定した場合、最大の $V_A$ をダイオードの数の関数として $\beta = 5$ 、10、20の場合について示したのが図6である。 $\beta = 10$ の場合、1列に並んだダイオード・ストリングに対する最大電圧クランプは約3.3 Vであり、そして $\beta = 5$ の場合、11個のダイオード・ストリングに対し4 Vのクランプ電圧が達成される。最大の $V_A$ は、12個以上のダイオードのストリングに対して起こる。

【0030】高利得工程において、異なるステージのエミッタ領域が同じである必要がないことに注目すべきである。電流は $V_{CC}$ に近いステージでは減少するから、これらのトランジスタはそれに比例して小さな領域を有することができる。

【0031】もし必要ならば、正規動作において $V_{CC}$ とパッドとの間の逆方向漏洩電流を小さくするために、スナッパ回路を用いることができる。例えば、図7に示されているように、ダーリントン回路142の最初のステージのベースと最終ステージのベースとの間に、スナッパ・トランジスタ144を配置することができる。スナッパ・トランジスタ144の目的は、最初のステージのベースの電圧を、電源電圧 $V_{CC}$ 以下の1個の順方向にバイアスされたダイオードの電圧にクランプすることである。このことにより、I/Oパッド110の電圧が電源電圧 $V_{CC}$ を越えるまで、他のPNPステージが抑えられる。

【0032】パッドに対するクランピング電圧を増大させるためにおよび逆方向漏洩電流を小さくするために、図8に示されているように、ダーリントン回路142の異なるダイオードの間にオプションのフィード・フォワード抵抗器R1～R3を配置することができる。抵抗器

R1～R3は、 $V_{CC}$ に近いトランジスタを確実にオンにすることにより、クランピング電圧を増大させる。さらに、抵抗器R1～R3がない場合、ダーリントン回路142の最初のステージに大部分の電流が流れ、そして最終ステージはオンにならないであろう。抵抗器R1～R3により、ダーリントン・ステージのおおのに並列に電流が流れることができ、そしてそれぞれのステージの両端の電圧降下を制御することができる。それぞれのステージの両端の電圧降下が等しい時、 $n$ 個のステージの場合、これらの抵抗器は $R$ 、 $R/2$ 、 $R/3$ 、 $\dots$ 、 $R/(n-1)$ のように比例した大きさを有する。例えば、I/Oパッド110において電流限界が1mAの場合、そしてすべての2個のダイオードの両端に抵抗器を有する6個のダイオード・ストリングの場合、 $R$ は2k $\Omega$ である。

【0033】図9に示されているように、横形NPN104はまた、複数の横形トランジスタN1～N4を有することができる。横形NPNトランジスタN1～N4のそれぞれのベースは、基板の抵抗器114に接続される。それぞれのエミッタはアース( $V_{SS}$ )に接続され、そしてそれぞれのコレクタはI/Oパッド110に接続される

【0034】図10は、本発明のレイアウトの1つの実施例の図である。図10に示されたレイアウトは、4個のステージのダーリントン回路の場合のものである。けれども、当業者にはステージの数を変更することが可能であることは容易に理解できるであろう。横形NPNトランジスタN1～N4は、基板102の中のN形拡散領域106、108を用いて作成することができる。N形拡散領域106および108は、アース $V_{SS}$ (N形拡散領域106)およびI/Oパッド110(N形拡散領域108)に交互に接続される。N形拡散領域106とN形拡散領域108との間の間隔距離L2は、設計規則により許容される最小距離(すなわち、0.7ミクロンの程度)であることが好ましい。拡散領域のそれぞれの幅D1およびD2は、3ミクロンの程度である。

【0035】ダイオード134/PNPトランジスタT1～T4のそれぞれのウエル領域118の中の1個のP形拡散領域117と1個のN形拡散領域120とを用いて、別々のウエル領域118の中に作成される。第1PNPトランジスタT1のP形領域は、I/Oパッド110に接続される。N形領域120は、第2ステージT2のP形領域117に接続される。次に、第2ステージT2のN形領域120は、第3ステージT3のP形領域117に接続される。最後のステージT4までこのような接続が行われる。最後のステージT4のN形領域120は、電源電圧 $V_{CC}$ に接続される。N形ウエルとN形ウエルとの間の間隔距離は、領域を保持するのに許容される最小距離、例えば3ミクロン、であることができる。P形拡散領域とN形拡散領域との幅は5ミク

ロン程度であることができ、そして第1ステージのP形拡散領域117とそれに最も近いN形拡散領域106との間の間隔距離L1は3.5ミクロンの程度であることができる。SCR130のホールド電圧を決定するのは、この間隔距離である。幅Wは70ミクロンの程度であることができる。本発明の1つの利点は、小さな領域(すなわち、0.5ミクロン以下の設計規則を用いて約5000ミクロン)のみを必要とすることである。例えば、図10のレイアウトにより、5600ミクロンの程度の領域が得られる。

【0036】図11は、本発明による垂直形トリガESD保護回路のための1つの好ましいレイアウトの図である。横形NPNトランジスタ104が、基板102の中のN形拡散領域106、108を用いて作成される。N形拡散領域106および108は、アース $V_{SS}$ (N形拡散領域106)およびI/Oパッド110(N形拡散領域108)に交互に接続される。拡散領域106と拡散領域108との間の間隔距離L2は、設計規則により許容される最小距離(すなわち、0.7ミクロンの程度)であることが好ましい。それぞれの拡散領域の幅D1およびD2は、3ミクロンの程度である。2個のダイオード/垂直形PNPトランジスタ122は、2個のP形拡散領域117と1個のN形拡散領域120とを用いて、ウエル領域118の中に作成される。P形領域117はI/Oパッド110に接続される。N形領域120は $V_{CC}$ に接続される。P形拡散領域およびN形拡散領域の幅D3は、5ミクロンの程度であることができる。P形拡散領域117とそれに最も近いN形拡散領域106との間の間隔距離L1は、3.5ミクロンの程度であることができる。SCR130のホールド電圧を決定するのは、この間隔距離である。幅Wは70ミクロンの程度であることができる。

【0037】図12は、本発明によるトリガ横形NPN104のためのまた別の基板バイアス回路の図である。図12の実施例では、基板バイアス回路150は、N形ウエル152の中のP形ソース/ドレイン領域154および156と、ゲート158と、を備えた横形PMOSトランジスタ162を有する。ソース/ドレイン領域154はパッド110に接続され、そしてソース/ドレイン領域156は基板102の中に直接に配置されたP形拡散領域160に接続される。ESD現象が起きている間PMOSトランジスタ162が電流を流し続けるように、ゲート158が接続される。電流がPMOSトランジスタ162を通してP形拡散領域160に流れる時、基板の抵抗器114の両端の電圧は増加する。この時、前記で説明した方式で動作が持続する。横形NPN104は、基板抵抗器114の両端の電圧の増大によりトリガされ、そしてパッド110の電圧をクランプし、そしてESD電流を散逸する。

【0038】図13は、本発明によるトリガ横形NPN

104のためのさらに別の基板バイアス回路の図である。図13の実施例では、基板バイアス回路150は、N形ソース/ドレイン領域164および166と、ゲート168と、を備えた横形NMOSトランジスタ172を有する。ソース/ドレイン領域164はパッド110に接続され、そしてソース/ドレイン領域166は基板102の中に直接に配置されたP形拡散領域160に接続される。ESD現象が起きている間NMOSトランジスタ170が電流を流し続けるように、ゲート158が接続される。電流がNMOSトランジスタ170を通過してP形拡散領域160に流れる時、基板の抵抗器114の両端の電圧が増大する。この時、前記で説明した方式で動作が持続する。横形NPN104は、基板抵抗器114の両端の増大した電圧によりトリガされ、そしてパッド110の電圧をクランプし、そしてESD電流を散逸する。

【0039】例示された実施例を参照して本発明が説明されたが、この説明は、本発明の範囲がこれらの実施例に限定されることを意味するものではない。前記説明を参照すれば、例示された実施例を種々に変更した実施例および種々に組み合わせた実施例、および本発明のその他の実施例の可能であることは、当業者にはすぐに理解されるであろう。したがって、本発明はこのような変更実施例およびその他の実施例をすべて包含するものと理解しなければならない。

【0040】以上の説明に関して更に以下の項を開示する。

(1) 基板がベースとして動作する横形NPNトランジスタと、ESD現象が起きている間基板抵抗器の両端の電圧の増大により前記横形NPNトランジスタをトリガするための基板バイアス回路と、を有する、基板の中に作成されたESD保護回路。

(2) 第1項記載のESD保護回路において、前記基板バイアス回路が固有の垂直形PNPトランジスタを備えたダイオードを有し、かつ前記基板抵抗器を通して前記横形NPNをトリガするために前記固有の垂直形PNPトランジスタのコレクタが前記横形NPNトランジスタのベースに接続される、前記ESD保護回路。

(3) 第2項記載のESD保護回路において、前記ダイオードがウェル領域の中に配置されかつ入力/出力パッドに接続されたP形拡散領域と、前記ウェル領域の中に配置されかつ電源電圧に接続されたN形拡散領域と、を有する、前記ESD保護回路。

(4) 第3項記載のESD保護回路において、前記P形拡散領域と、前記ウェル領域と、前記基板と、前記横形NPNトランジスタのエミッタ領域と、で作成される固有のシリコン制御整流器をさらに有する、前記ESD保護回路。

(5) 第1項記載のESD保護回路において、前記横形NPNトランジスタがアース電位に接続されたエミッ

タと、入力/出力パッドに接続されたコレクタとを有する、前記ESD保護回路。

(6) 第2項記載のESD保護回路において、前記ダイオードがI/Oパッドと電源電圧との間に接続されたダイオードのダーリントン・ストリングを構成する、前記ESD保護回路。

(7) 第6項記載のESD保護回路において、前記横形NPNが複数個のNPNトランジスタを有し、かつ前記複数個のNPNトランジスタのおおのが前記I/Oパッドに接続されたコレクタと、アース電位に接続されたエミッタと、前記基板の中の固有の抵抗器を通して前記アース電位に接続されたベースと、を有する、前記ESD保護回路。

(8) 第6項記載のESD保護回路において、漏洩を小さくするためにダイオードの前記ダーリントン・ストリングと並列に接続された逆方向ダイオードをさらに有する、前記ESD保護回路。

(9) 第6項記載のESD保護回路において、ダイオードの前記ダーリントン・ストリングの中の少なくとも1個のダイオードのエミッタとベースとの間に接続された少なくとも1個の抵抗器をさらに有する、前記ESD保護回路。

(10) 第6項記載のESD保護回路において、ダイオードの前記ダーリントン・ストリングが2個と12個の間のダイオードで構成される、前記ESD保護回路。

(11) 第1項記載のESD保護回路において、前記基板バイアス回路がウェル領域の中に配置されかつ入力/出力パッドに接続されたPMOSトランジスタと、前記基板の中に配置されかつ前記PMOSトランジスタに接続されたP形拡散領域と、を有する、前記ESD保護回路。

(12) 第1項記載のESD保護回路において、前記基板バイアス回路が入力/出力パッドに接続されたNMOSトランジスタと、前記基板の中に配置されかつ前記NMOSトランジスタに接続されたP形拡散領域と、を有する、前記ESD保護回路。

【0041】(13) 低電源電圧に接続された拡散エミッタ領域と入力/出力パッドに接続された拡散コレクタ領域とをおおのが有し、かつ基板がおおのがのベースになる、複数個の横形NPNトランジスタと、前記入力/出力パッドと高電源電圧との間のダーリントン回路に接続され、かつ前記複数個の横形NPNトランジスタをトリガするためにそれぞれの垂直形PNPトランジスタのコレクタを構成する基板を備えた固有の垂直形PNPトランジスタをおおのが有する、複数個のPNダイオードと、を有する、基板の中に配置されたESD保護回路。

(14) 第13項記載のESD保護回路において、前記複数個のPNダイオードのおおのが前記基板の中に配置され、かつ前記固有の垂直形PNPトランジスタの



ベース領域を形成する、N形ウエル領域と、前記固有の垂直形PNPトランジスタのベース領域に対する接続を得るために前記N形ウエル領域の中に形成されたN形拡散領域と、前記N形ウエル領域の中に形成され、かつ前記固有の垂直形PNPトランジスタのエミッタ領域を形成する、P形拡散領域と、を有する、前記ESD保護回路。

(15) 第14項記載のESD保護回路において、前記複数個のPNダイオードの1つのPNダイオードの前記P形拡散領域および前記ウエル領域と、前記基板と、前記複数個の横形NPNトランジスタの1つの横形NPNトランジスタの拡散エミッタ領域とで形成された少なくとも1個の固有のシリコン制御整流器(SCR)をさらに有する、前記ESD保護回路。

(16) 第13項記載のESD保護回路において、前記複数個のPNダイオードに並列に接続された逆方向ダイオードをさらに有する、前記ESD保護回路。

(17) 第13項記載のESD保護回路において、前記複数個のPNダイオードの前記PNダイオードの中の電流を均衡させるためにおよび混合電圧動作に対するクランプ電圧を増加させるために、前記複数個のPNダイオードの少なくとも1個のダイオードの前記N形拡散領域と前記P形拡散領域との間に接続された少なくとも1個の抵抗器をさらに有する、前記ESD保護回路。

【0042】(18) 固有の垂直形PNPトランジスタを備えた少なくとも1個のPNダイオードを入力/出力パッドに接続する段階と、少なくとも1個の横形NPNトランジスタを低電源電圧および前記入力/出力パッドに接続する段階であって、ここで基板が前記少なくとも1個の横形NPNトランジスタのベースおよび前記固有の垂直形PNPトランジスタのコレクタを形成する、前記段階と、前記少なくとも1個のNPNトランジスタの前記ベースの電圧レベルを増大するために、前記固有の垂直形PNPトランジスタを通してESD電流を流す段階と、前記少なくとも1個のNPNトランジスタの前記ベースの前記電圧レベルがベース・エミッタ順方向バイアス電圧に到達する時、前記少なくとも1個のNPNトランジスタをトリガする段階と、を有する、入力/出力パッドにおける内部電流のESD保護の方法。

(19) 第18項記載の方法において、少なくとも1個のPNダイオードおよび前記少なくとも1個の横形NPNトランジスタを備えた固有のシリコン制御整流器(SCR)をESD状態の下でトリガする段階をさらに有する、前記方法。

(20) 第19項記載の方法において、前記SCRが前記入力/出力パッドにおける電圧レベルを4.5Vの程度にクランプする、前記方法。

(21) 第19項記載の方法において、前記SCRのホールド電圧が同調可能である、前記方法。

(22) 第18項記載の方法において、前記入力/出

力パッドの電圧レベルが0.8Vの程度に達した時、前記ESD電流が流れる段階が生ずる、前記方法。

(23) 第18項記載の方法において、前記少なくとも1個の横形NPNトランジスタが前記入力/出力パッドの電圧レベルを5~7Vの程度にクランプする、前記方法。

【0043】(24) ESD保護回路100およびその保護のための方法が開示される。横形NPNトランジスタ104がI/Oパッド110とアース(GND)との間に接続される。ESD現象が起きている間、基板を通して電流が流れることにより、基板バイアス回路150は基板抵抗器114の両端の電圧を増大させる。このことにより横形NPN104がトリガされ、そしてパッド110の電圧がクランプされ、そしてESD電流が散逸する。横形NPN104は、ESD電流を散逸するための主要な保護装置である。

【図面の簡単な説明】

【図1】先行技術によるESD保護回路の概要図。

【図2】先行技術によるデュアル・ダイオードESD保護回路の概要図。

【図3】本発明の1つの実施例によるESD保護回路の一部分が断面図で示された部分概要図。

【図4】ダイオード・ストリングを有する本発明によるESD保護回路の一部分が断面図で示された部分概要図。

【図5】ダーリントン回路を有する本発明によるESD保護装置の概要図。

【図6】種々の垂直形PNPトランジスタ利得に対し、加えられた電圧をダイオードの数の関数として示したグラフ。

【図7】逆方向漏洩電流を小さくするためのスナッパ回路を有する、本発明によるESD保護装置の概要図。

【図8】最大クランプ電圧を増加するためおよび逆方向漏洩電流を小さくするために、ダーリントン回路の中にエミッタベース抵抗器を有する本発明によるESD保護装置の概要図。

【図9】ダーリントン回路および多重横形NPNトランジスタを示した、本発明によるESD保護装置の概要図。

【図10】本発明によるESD保護装置のレイアウトの1つの実施例の図。

【図11】本発明によるESD保護装置の1つの好ましいレイアウトの図。

【図12】本発明のまた別の実施例の概要図。

【図13】本発明のさらに別の実施例の概要図。

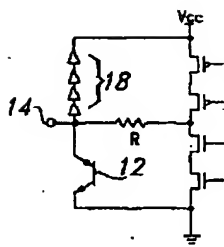
【符号の説明】

104 横形NPNトランジスタ

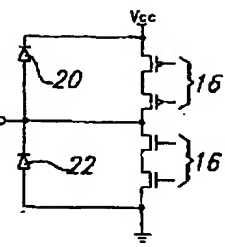
114 基板抵抗器

150 基板バイアス回路

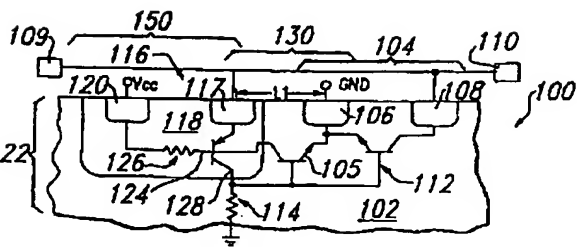
【図1】



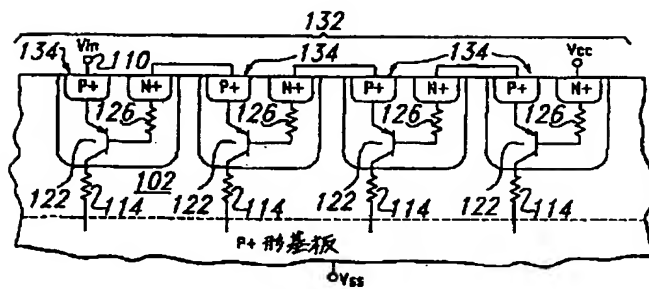
【図2】



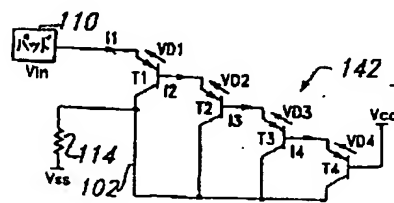
【図3】



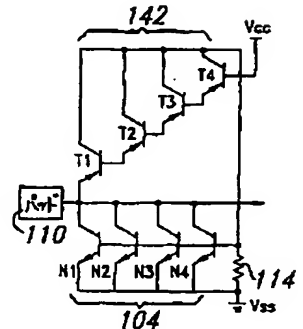
【図4】



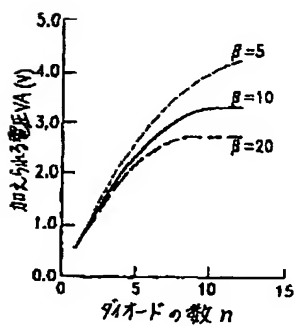
【図5】



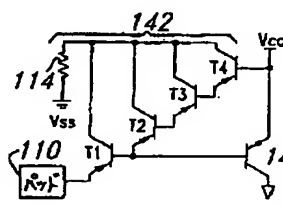
【図9】



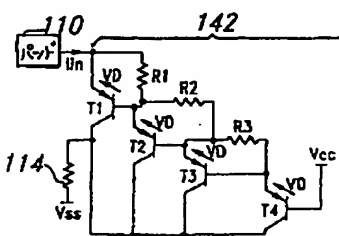
【図6】



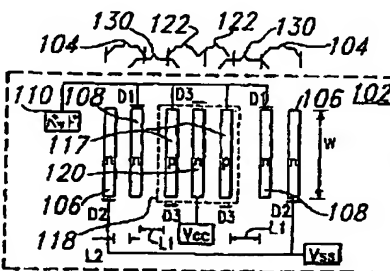
【図7】



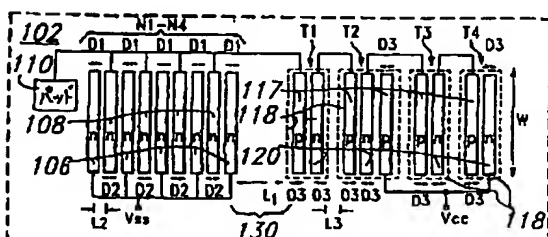
【図8】



【図11】



【図10】



【图 13】

